

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-64690

(43)公開日 平成8年(1996)3月8日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8234

27/088

21/76

H 0 1 L 27/ 08

1 0 2 A

21/ 76

M

審査請求 未請求 請求項の数17 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平7-139273

(22)出願日 平成7年(1995)6月6日

(31)優先権主張番号 特願平6-132995

(32)優先日 平6(1994)6月15日

(33)優先権主張国 日本 (J P)

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 山口 仁

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 氷見 啓明

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 藤野 誠二

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

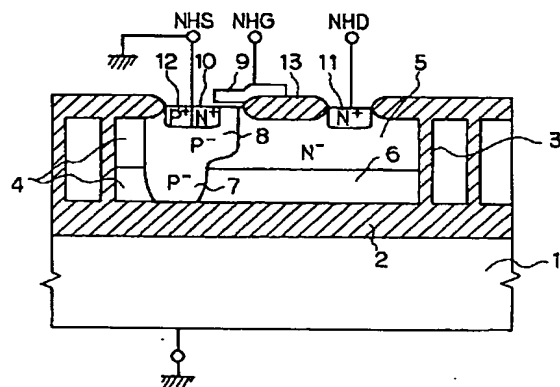
(74)代理人 弁理士 伊藤 洋二

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 絶縁分離型の半導体素子構造に半導体素子を形成する場合、その半導体素子がN型、P型のいずれであるかにかかわらず電界緩和層として機能して高耐圧化を図る。

【構成】 半導体基板1上に絶縁体2、3にて囲まれた島状領域内に、ドリフト層5、Pウェル7、8、ソース10、ゲート9、ドレイン11によりMOSTランジスタが構成される。さらに、Si層4の底部に電界緩和層6が形成されている。この電界緩和層6は極めて低濃度の半導体層であるため、Pウェル7、8、ドリフト層5との間で実質的にPIN構造が構成される。電界緩和層6がそのPIN構造のI層に相当するため、MOSTランジスタに高電圧が印加された時、電界緩和層6中に空乏層が生じ、この空乏層中に印加された高電圧が分配され、高耐圧化を図ることができる。



- 1 Si基板
- 2, 3 Si酸化膜
- 4 Si層
- 5 ドリフト層
- 6 電界緩和層
- 7, 8 Pウェル
- 9 ゲート
- 10 ソース
- 11 ドレイン

【特許請求の範囲】

【請求項1】 半導体基板上に絶縁体にて囲まれた島状領域を形成し、この島状領域内に半導体素子を形成するようにした半導体装置において、

前記島状領域内に形成された第1導伝型の第1半導体層と、

この第1半導体層内に形成され、前記第1半導体層とともに前記半導体素子を構成し、少なくとも前記第1半導体層との界面にてPN接合を構成する第2導伝型の第2半導体層と、

前記第1半導体層と前記絶縁体との間に形成され、前記第1導伝型の第1半導体層と前記第2導伝型の第2半導体層とともに実質的にPIN構造を構成する第3半導体層とを備えたことを特徴とする半導体装置。

【請求項2】 前記第2半導体層は、第2導伝型のウェル内に第1導伝型の第4半導体層を備え、この第4半導体層は前記第1半導体層とともに前記半導体素子としてのMOSトランジスタのソース、ドレインを構成することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1半導体層と前記第2半導体層は、前記半導体素子としてのPNダイオードを構成することを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第1半導体層は、ドリフト層を含み、このドリフト層の不純物濃度の深さ方向に対する積分値が $1.5 \times 10^{12} \text{ cm}^{-2}$ 以上であることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置。

【請求項5】 半導体基板上に絶縁体にて囲まれた第1、第2の島状領域を形成し、この第1、第2の島状領域内に第1、第2の半導体素子をそれぞれ形成するようにした半導体装置において、

前記第1の島状領域内に形成された第1導伝型の第1半導体層と、

この第1半導体層内に形成され、前記第1半導体層とともに前記第1の半導体素子を構成し、少なくとも前記第1半導体層との界面にてPN接合を構成する第2導伝型の第2半導体層と、

前記第2の島状領域内に形成された第2導伝型の第4半導体層と、

この第4半導体層内に形成され、前記第4半導体層とともに前記第2の半導体素子を構成し、少なくとも前記第4半導体層との界面にてPN接合を構成する第1導伝型の第5半導体層と、

前記第1半導体層と前記絶縁体との間および前記第4半導体層と前記絶縁体との間にそれぞれ形成され、前記第1導伝型の第1半導体層と前記第2導伝型の第2半導体層とともに実質的にPIN構造を構成し、さらに前記第2導伝型の第4半導体層と前記第1導伝型の第5半導体層とともに実質的にPIN構造を構成する第3半導体層とを備えたことを特徴とする半導体装置。

【請求項6】 前記第2半導体層は、第2導伝型のウェ

ル内に第1導伝型の第6半導体層を備え、この第6半導体層は前記第1半導体層とともに前記半導体素子としてのMOSトランジスタのソース、ドレインを構成し、前記第5半導体層は、第1導伝型のウェル内に第2導伝型の第7半導体層を備え、この第7半導体層は前記第4半導体層とともに前記半導体素子としてのMOSトランジスタのソース、ドレインを構成することを特徴とする請求項5に記載の半導体装置。

【請求項7】 前記第1半導体層および前記第4半導体層のそれぞれは、ドリフト層を含み、このドリフト層の不純物濃度の深さ方向に対する積分値が $1.5 \times 10^{12} \text{ cm}^{-2}$ 以上であることを特徴とする請求項5又は6に記載の半導体装置。

【請求項8】 前記第3半導体層は真性半導体層であることを特徴とする請求項1乃至7のいずれか1つに記載の半導体装置。

【請求項9】 前記第3半導体層は不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以下の低不純物濃度層であることを特徴とする請求項1乃至7のいずれか1つに記載の半導体装置。

【請求項10】 前記第2半導体層は前記第3半導体層の内部に到達する深さに形成されていることを特徴とする請求項1乃至9のいずれか1つに記載の半導体装置。

【請求項11】 前記第3半導体層は、多結晶シリコンもしくは非晶質シリコンにより構成されていることを特徴とする請求項1乃至10のいずれか1つに記載の半導体装置。

【請求項12】 第1半導体基板と第2半導体基板をその間に第1絶縁膜を形成して接合する工程と、前記第1半導体基板を研削、研磨により所定の厚さにして素子形成の主面とする工程と、

前記第1半導体基板の主面の所定の位置に前記第1絶縁膜に到る素子分離用の第2絶縁膜を形成し、前記第1絶縁膜とともに島状の素子領域を形成する工程と、前記島状の素子領域内に、前記第1の絶縁膜から所定の距離隔てた位置まで第1導伝型の第1半導体層を形成する工程と、

この第1半導体層内に形成され、前記第1半導体層とともに半導体素子を構成し、少なくとも前記第1半導体層との界面にてPN接合を構成する第2導伝型の第2半導体層を形成する工程とを備え、

前記第1半導体基板は、前記第1半導体層の形成により前記第1の絶縁膜との間に存在する領域が、前記第1導伝型の第1半導体層と前記第2導伝型の第2半導体層とともに実質的にPIN構造を構成するような低不純物濃度の半導体基板であることを特徴とする半導体装置の製造方法。

【請求項13】 低不純物濃度の第1半導体層を一面に形成した第1導伝型の第1半導体基板に、第2半導体基板をその間に第1絶縁膜を形成して接合する工程と、前記第1半導体基板を研削、研磨により所定の厚さにし

て素子形成の主面とする工程と、

前記第 1 半導体基板の主面の所定の位置に、前記第 1 絶縁膜に到達する素子分離用の第 2 絶縁膜を形成し、前記第 1 絶縁膜とともに島状の素子領域を形成する工程と、前記島状の素子領域内の前記第 1 半導体基板内に形成され、この第 1 半導体基板とともに半導体素子を構成し、少なくとも前記第 1 半導体基板との界面にて P N 接合を構成する第 2 導伝型の第 2 半導体層を形成する工程とを備え、

前記第 1 半導体層は、前記第 1 導伝型の第 1 半導体基板と前記第 2 導伝型の第 2 半導体層とともに実質的に P I N 構造を構成するような低不純物濃度の半導体層であることを特徴とする半導体装置の製造方法。

【請求項 1 4】 前記第 1 半導体基板の表面に前記第 1 半導体層としての低不純物濃度の多結晶シリコンもしくは非晶質シリコン層を形成する工程を有することを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】 前記第 1 半導体基板に低不純物濃度の第 3 半導体基板を接合した後、前記第 3 半導体基板を研削、研磨により所定の厚さにして前記第 1 半導体層として形成する工程を有することを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 6】 第 1 半導体基板に低不純物濃度の半導体層をエピタキシャル成長させて前記第 1 半導体層を形成する工程を有することを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 7】 前記第 1 半導体基板の表面に前記第 1 半導体基板とは逆の導伝型の不純物を導入することにより前記第 1 半導体基板表面のキャリアを補償して前記第 1 半導体層を形成する工程を有することを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は島状の素子領域に形成された半導体素子の高耐圧化を図るようにした半導体装置およびその製造方法に関し、この半導体装置としては、例えばフラットパネルディスプレイとりわけエレクトロルミネッセンス (E L) ディスプレイやプラズマディスプレイ等に用いられる高電圧で複数の出力段を有する駆動用 I C に適用することができる。

【 0 0 0 2 】

【従来の技術】 従来、M O S トランジスタにおいて素子の耐圧を向上させるものとして、図 7 に示すように、ゲートとドレイン間に厚い酸化膜 2 0 (L O C O S 酸化膜) を形成し、ゲート、ドレイン間の電界を緩和するようにしたものがある。このものを S O I (S i l i c o n O n I n s u l a t o r) 構造、すなわち絶縁分離型の素子構造にした場合、図 8 に示すようになる。ここで、N チャンネル M O S トランジスタのドレイン側に正極性の高電圧を印加した場合には、図の右側部分に示

すように等電位線が広がって埋め込み酸化膜 2 1 による電界緩和効果が現れるが、ソース側に負極性の高電圧を印加した図の左側の部分に対しては、S i 基板 2 2 との電位差との関係でソース近傍の P N 接合界面で等電位線が密になって電界が集中し、必要な耐圧が得られないという問題が生じる。

【 0 0 0 3 】 また、この種の電界緩和として、特開平 1 - 1 0 3 8 5 1 号公報に、S O I 層の下層に、低濃度 (但し、その上層の S O I 層よりは濃度が高い) の電界緩和層を設けるようにしたものが開示されている。すなわち、このものにおいては、素子に印加される逆方向の高電圧の一部を電界緩和層に分担させることにより、素子の印加電圧の一部が埋め込み酸化膜に有効に分担され、高耐圧が達成されるようにしたものである。

【 0 0 0 4 】 このものを上記の構成に適用すれば、図 9 に示すように、ソース側に負極性の高電圧を印加した場合であっても、電界緩和層 2 3 での空乏層の拡がりにより電界が緩和され、ソース近傍の P N 接合界面での電界集中をなくし、必要な耐圧を得ることができる。

【 0 0 0 5 】

【発明が解決しようとする課題】 しかしながら、その電界緩和層 2 3 はその上層の N⁻ 層とは逆の導電型のものとする必要がある。同一の導電型とすれば、図 8 に示すものと同様の構成となり、電界緩和層 2 3 での空乏層の拡がりがなく、電界緩和効果が生じないからである。従って、N チャンネル M O S トランジスタにあっては、P 型の電界緩和層を設け、P チャンネル M O S トランジスタにあっては、N 型の電界緩和層を設けなければならないという制約が生じる。

【 0 0 0 6 】 このような制約により、N チャンネル M O S トランジスタと P チャンネル M O S トランジスタを同一の半導体基板上に形成する必要がある場合には、それらの素子領域毎に異なる電界緩和層を設けなければならないという問題が生じる。本発明は上記問題に鑑みてなされたもので、絶縁分離型の半導体素子構造に半導体素子を形成する場合、その半導体素子が N 型、P 型のいずれであるかにかかわらず電界緩和層として機能して高耐圧化を図ることができるようにすることを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】 本発明は上記目的を達成するため、請求項 1 に記載の発明においては、半導体基板 (1) 上に絶縁体 (2 、 3) にて囲まれた島状領域を形成し、この島状領域内に半導体素子を形成するようにした半導体装置において、前記島状領域内に形成された第 1 導伝型の第 1 半導体層 (5 、 1 1) と、この第 1 半導体層内に形成され、前記第 1 半導体層とともに前記半導体素子を構成し、少なくとも前記第 1 半導体層との界面にて P N 接合を構成する第 2 導伝型の第 2 半導体層 (7 、 8 、 1 4) と、前記第 1 半導体層と前記絶縁体との間に形成され、前記第 1 導伝型の第 1 半導体層と前記

第2導伝型の第2半導体層とともに実質的にPIN構造を構成する第3半導体層(6)とを備えた半導体装置を特徴としている。

【0008】請求項2に記載の発明では、請求項1に記載の半導体装置において、前記第2半導体層は、第2導伝型のウェル内に第1導伝型の第4半導体層(10)を備え、この第4半導体層は前記第1半導体層とともに前記半導体素子としてのMOSトランジスタのソース、ドレインを構成することを特徴としている。請求項3に記載の発明では、請求項1に記載の半導体装置において、前記第1半導体層と前記第2半導体層は、前記半導体素子としてのPNダイオードを構成することを特徴としている。

【0009】請求項4に記載の発明では、請求項1乃至3のいずれか1つに記載の半導体装置において、前記第1半導体層は、ドリフト層(5)を含み、このドリフト層の不純物濃度の深さ方向に対する積分値が $1.5 \times 10^{12} \text{ cm}^{-2}$ 以上であることを特徴としている。請求項5に記載の発明においては、半導体基板上に絶縁体にて囲まれた第1、第2の島状領域を形成し、この第1、第2の島状領域内に第1、第2の半導体素子をそれぞれ形成するようにした半導体装置において、前記第1の島状領域内に形成された第1導伝型の第1半導体層(5、11)と、この第1半導体層内に形成され、前記第1半導体層とともに前記第1の半導体素子を構成し、少なくとも前記第1半導体層との界面にてPN接合を構成する第2導伝型の第2半導体層(7、8)と、前記第2の島状領域内に形成された第2導伝型の第4半導体層(51、111)と、この第4半導体層内に形成され、前記第4半導体層とともに前記第2の半導体素子を構成し、少なくとも前記第4半導体層との界面にてPN接合を構成する第1導伝型の第5半導体層(71、81)と、前記第1半導体層と前記絶縁体との間および前記第4半導体層と前記絶縁体との間にそれぞれ形成され、前記第1導伝型の第1半導体層と前記第2導伝型の第2半導体層とともに実質的にPIN構造を構成し、さらに前記第2導伝型の第4半導体層と前記第1導伝型の第5半導体層とともに実質的にPIN構造を構成する第3半導体層(6)とを備えた半導体装置を特徴としている。

【0010】請求項6に記載の発明では、請求項5に記載の半導体装置において、前記第2半導体層は、第2導伝型のウェル内に第1導伝型の第6半導体層(10)を備え、この第6半導体層は前記第1半導体層とともに前記半導体素子としてのMOSトランジスタのソース、ドレインを構成し、前記第5半導体層は、第1導伝型のウェル内に第2導伝型の第7半導体層(101)を備え、この第7半導体層は前記第4半導体層とともに前記半導体素子としてのMOSトランジスタのソース、ドレインを構成することを特徴としている。

【0011】請求項7に記載の発明では、請求項5又は

6に記載の半導体装置において、前記第1半導体層および前記第4半導体層のそれぞれは、ドリフト層(5、51)を含み、このドリフト層の不純物濃度の深さ方向に対する積分値が $1.5 \times 10^{12} \text{ cm}^{-2}$ 以上であることを特徴としている。請求項8に記載の発明では、請求項1乃至7のいずれか1つに記載の半導体装置において、前記第3半導体層は真性半導体層であることを特徴としている。

【0012】請求項9に記載の発明では、請求項1乃至7のいずれか1つに記載の半導体装置において、前記第3半導体層は不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以下の低不純物濃度層であることを特徴としている。請求項10に記載の発明では、請求項1乃至9のいずれか1つに記載の半導体装置において、前記第2半導体層は前記第3半導体層の内部に到達する深さに形成されていることを特徴としている。

【0013】請求項11に記載の発明では、請求項1乃至10のいずれか1つに記載の半導体装置において、前記第3半導体層は、多結晶シリコンもしくは非晶質シリコンにより構成されていることを特徴としている。請求項12に記載の発明においては、第1半導体基板

(1')と第2半導体基板(1)をその間に第1絶縁膜(2)を形成して接合する工程と、前記第1半導体基板を研削、研磨により所定の厚さにして素子形成の主面とする工程と、前記第1半導体基板の主面の所定の位置に前記第1絶縁膜に到る素子分離用の第2絶縁膜(3)を形成し、前記第1絶縁膜とともに島状の素子領域を形成する工程と、前記島状の素子領域内に、前記第1の絶縁膜から所定の距離隔てた位置まで第1導伝型の第1半導体層(5)を形成する工程と、この第1半導体層内に形成され、前記第1半導体層とともに半導体素子を構成し、少なくとも前記第1半導体層との界面にてPN接合を構成する第2導伝型の第2半導体層(7)を形成する工程とを備え、前記第1半導体基板は、前記第1半導体層の形成により前記第1の絶縁膜との間に存在する領域が、前記第1導伝型の第1半導体層と前記第2導伝型の第2半導体層とともに実質的にPIN構造を構成するような低不純物濃度の半導体基板であることを特徴としている。

【0014】請求項13に記載の発明においては、低不純物濃度の第1半導体層を一面に形成した第1導伝型の第1半導体基板(1')に、第2半導体基板(1)をその間に第1絶縁膜(2)を形成して接合する工程と、前記第1半導体基板を研削、研磨により所定の厚さにして素子形成の主面とする工程と、前記第1半導体基板の主面の所定の位置に、前記第1絶縁膜に到達する素子分離用の第2絶縁膜(3)を形成し、前記第1絶縁膜とともに島状の素子領域を形成する工程と、前記島状の素子領域内の前記第1半導体基板内に形成され、この第1半導体基板とともに半導体素子を構成し、少なくとも前記第

1 半導体基板との界面にてPN接合を構成する第2導伝型の第2半導体層(7)を形成する工程とを備え、前記第1半導体層は、前記第1導伝型の第1半導体基板と前記第2導伝型の第2半導体層とともに実質的にPIN構造を構成するような低不純物濃度の半導体層であることを特徴としている。

【0015】請求項14に記載の発明では、請求項13に記載の半導体装置の製造方法において、前記第1半導体基板の表面に前記第1半導体層としての低不純物濃度の多結晶シリコンもしくは非晶質シリコン層を形成する工程を有することを特徴としている。請求項15に記載の発明では、請求項13に記載の半導体装置の製造方法において、前記第1半導体基板に低不純物濃度の第3半導体基板を接合した後、前記第3半導体基板を研削、研磨により所定の厚さにして前記第1半導体層として形成する工程を有することを特徴としている。

【0016】請求項16に記載の発明では、請求項13に記載の半導体装置の製造方法において、第1半導体基板に低不純物濃度の半導体層をエピタキシャル成長させて前記第1半導体層を形成する工程を有することを特徴としている。請求項17に記載の発明では、請求項13に記載の半導体装置の製造方法において、前記第1半導体基板の表面に前記第1半導体基板とは逆の導伝型の不純物を導入することにより前記第1半導体基板表面のキャリアを補償して前記第1半導体層を形成する工程を有することを特徴としている。

【0017】なお、上記した各手段のカッコ内の符号は、後述する実施例記載の具体的手段との対応関係を示すものである。

【0018】

【発明の作用効果】請求項1乃至11に記載の発明によれば、半導体基板上に絶縁体にて囲まれた島状領域が形成され、この島状領域内に半導体素子が形成される。この島状領域内に第1導伝型の第1半導体層が形成されるとともに、この第1半導体層内に第2導伝型の第2半導体層が形成され、前記半導体素子が構成される。さらに、前記第1半導体層と前記絶縁体との間に、前記第1導伝型の第1半導体層と前記第2導伝型の第2半導体層とともに実質的にPIN構造を構成する第3半導体層が形成される。

【0019】ここで、半導体素子に高電圧が印加されると、第1、第2、第3半導体層にて構成される実質的なPIN構造により、I層に相当する第3半導体層中に空乏層が生じ、この空乏層中に半導体素子に印加された高電圧が分配され、半導体素子の高耐圧化を図ることができる。その場合、半導体素子を構成する第1、第2半導体層との間で実質的にPIN構造を構成すればよいので、半導体素子がP型、N型に係わらず、また半導体素子に印加される電圧が正極性、負極性いずれの場合であっても、第3半導体層を電界緩和層として機能させるこ

とができる。

【0020】また、請求項5、6に記載の発明によれば、第3半導体層を上記I層に相当する層としているので、導伝型の異なる2つの半導体素子を半導体基板上に形成する場合であっても、それらの導伝型にかかわらず、同じ第3半導体層にて電界緩和層として機能させることができる。また、請求項4、7に記載の発明によれば、第1半導体層(および第4半導体層)は、不純物濃度の深さ方向に対する積分値を $1.5 \times 10^{17} \text{ cm}^{-2}$ 以上としている。この場合、第3半導体層の不純物濃度が極めて低いため、第2半導体層と第3半導体層間の電圧で耐圧を十分持たせることができ、従って上記のように第1半導体層の不純物濃度を高くして大電流を流すことができる。

【0021】また、請求項12に記載の発明によれば、上記電界緩和層となるための不純物濃度を有する半導体基板を用い、基板の貼り合わせ技術を用いて素子分離した半導体基板を構成し、その後に第1、第2半導体層等の半導体素子を構成して上記した半導体装置を得ることができる。また、請求項13乃至17に記載の発明によれば、予め半導体基板表面に電界緩和層となる半導体層を形成しておき、その後基板の貼り合わせ技術を用いて素子分離した半導体基板を構成し、その後に半導体素子を構成して上記した半導体装置を得ることができる。

【0022】

【実施例】以下、本発明を図に示す実施例について説明する。

(第1実施例) 図1に、SOIに形成されたNチャンネル高耐圧LDMOS(Lateral Double Diffused MOS)トランジスタの構造を示す。

【0023】この図1において、Si基板1上に埋め込みSi酸化膜2が形成され、その上に島状のSi層(SOI層)4が形成されている。この島状Si層4は、Si基板1からSi酸化膜2により分離され、さらにSi酸化膜3により横方向に他の素子領域から分離されて形成され、半導体素子形成のための島状領域を構成している。

【0024】そして、この島状Si層4のうちSi酸化膜2に接する領域には、低不純物濃度の電界緩和層6が形成されている。この電界緩和層6は、B(ボロン)或いはP(リン)或いはAs(砒素)或いはSb(アンチモン)の不純物濃度が $1 \times 10^{14} \text{ cm}^{-2}$ 以下～真性半導体の極めて不純物濃度が低い半導体層で、厚さが $1 \mu\text{m}$ 以上のものである。また、Si酸化膜2及び3は厚さ $0.5 \mu\text{m}$ 以上のものである。

【0025】島状Si層4の上部のN⁻層5は高耐圧トランジスタのドリフト層である。このドリフト層5は、高抵抗層であるため、低不純物濃度層であるが、上記電界緩和層6よりは不純物濃度が高く設定してある。P⁻層7はSi層4の表面から電界緩和層6に到達するPウ

エル、同じくP⁻層8はゲート9に対して自己整合的な位置に存在するチャンネルPウェルである。P⁻層8内のN⁺層10はMOSトランジスタのソースである。N⁻層5内のN⁺層11はドリフト層5とともにMOSトランジスタのドレインを構成する。P⁻層8内のP⁺層12はPウェルの電位を取るための拡散層である。また、Pウェルとドレイン11間には電界緩和のためのLOCOS酸化膜13が形成されている。なお、高耐圧LDMOSTランジスタのソース10とSi基板1とは同電位に構成されている。

【0026】なお、NHS、NHG、NHDの、NはNチャンネル型（後述するPはPチャンネル型）を示し、Hは正極性の電圧が印加される場合（後述するLは負極性の電圧が印加される場合）を示し、S、G、Dはソース、ゲート、ドレインを示している。上記構成において、電界緩和層6は極めて不純物濃度が低い半導体層であるため、Pウェル7、8（P型層）と電界緩和層6およびドレイン領域5、11（N型層）により、それらが実質的にPIN構造を構成している。従って、ソース10ードレイン11間に高電圧が印加された場合、電界緩和層6中に空乏層が生じ、この空乏層中にソース10ードレイン11間の印加された横方向の高電圧が分配されるようになる。

【0027】一方、ドレイン11ーSi基板1間に印加された縦方向の高電圧は空乏化した電界緩和層6とSi酸化膜2で分担して支えられる結果、薄い電界緩和層6にかかる電圧が著しく低減されるようになる。従って、島状Si層4の底部のSi酸化膜2界面に低不純物濃度の電界緩和層6を設けることにより、素子の高耐圧化が図られる。なお、高耐圧トランジスタのドリフト層5は比較的高濃度であるから、トランジスタがオンしたときのオン抵抗を低抵抗に維持したまま耐圧の向上を図ることができる。

【0028】また、図1に示す構成に対し、ソース10をマイナス電源に接続した負極性の場合にも上記の場合と同様、電界緩和層6により高耐圧化を図ることができる。また、図1のPとNを入れ換えたPチャンネル高耐圧LDMOSTランジスタについても同様に適用できる。なお、Si酸化膜2下のSi基板1の電位がアースのとき、Nチャンネルトランジスタのソースがマイナス電源につながれた負極性の場合とPチャンネルトランジスタのソースがプラス電源につながれた正極性の場合に上記電界緩和は特に有効である。

【0029】このように、電界緩和層6を設けることにより、そのMOSトランジスタがN型、P型のいずれであっても、また正極性、負極性の電圧が印加される場合であっても、電界緩和層として機能して高耐圧化を図ることができる。なお、電界緩和層6は、低不純物濃度の半導体層とする必要があるが、その不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以下の場合、125V以上の耐圧が図れること

が実験等により確認されている。すなわち、不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以下であれば、電界緩和層6内で空乏層が十分拡がり、P型、N型のMOSトランジスタのいずれであっても必要な耐圧を十分得ることができる。

【0030】なお、電界緩和層6を真性半導体層とすれば、上記の構成をPIN構造とすることができるが、不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以下であれば、フェルミ準位は禁制帯のほぼ中央付近にあるので、実質的に真性半導体の場合と同様なPIN構造とすることができる。次に、図1に示す半導体装置の製造方法について図2を用いて説明する。

【0031】まず、高抵抗FZ基板、もしくはB（ボロン）或いはP（リン）或いはSb（アンチモン）或いはAs（砒素）の不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ ～真性半導体の極めて低濃度なCZ基板で、その表面が（100）面を有するSi半導体基板1'の鏡面に熱酸化によりSi酸化膜2を0.5μm以上の厚さで形成する（図2（a））。

【0032】次にP型或いはN型でその表面が（100）面を有するSi半導体基板1の鏡面側と、前記Si半導体基板1'の主面側を、クリーンな状態で公知の直接接着法により貼り合わせ、熱処理により一体化する。このとき前記Si半導体基板1の鏡面側にも例えば熱酸化法等によりSi酸化膜を形成しておくこともできる。すなわち、前記Si酸化膜2は、Si半導体基板1もしくは1'の少なくとも一方もしくは両方に形成される。

【0033】この一体化された基板のSi半導体基板1の主面と反対側の面より研削、研磨を行い、Si半導体1の厚さを、例えば10μmにして図2（b）に示す構成を得る。続いて、前記Si半導体基板1の表面にSi酸化膜を形成し、フォトリソグラフィ、ドライエッチングにより溝を形成する。溝の側壁に例えば熱酸化法等により厚さ0.5μm以上のSi酸化膜3を形成した後、多結晶Si31を溝に埋め込み研削、研磨により、もしくはエッチバック法等により表面の平坦化を行う（図2（c））。

【0034】その後、マスクを施して、素子領域部に、PウェルとなるP⁻層7およびドリフト層5をイオン注入、熱拡散を用いて形成する（図2（d））。そして、公知の方法を用いてLOCOS酸化膜13、ゲート9、チャンネルPウェル8、N⁺ソース／ドレイン10、11、P⁺層12および電極、配線、表面保護膜等を形成し、図1に示すNチャンネル高耐圧LDMOSTランジスタを構成する。

【0035】なお、上記の製造方法では、工程（a）において電界緩和層6となる低濃度半導体基板を用い、その後図2（d）においてドリフト層5を形成するようにしたものを示したが、工程（a）の段階で、ドリフト層5および電界緩和層6を形成した基板を用いるようにしてもよい。以下この変形例について説明する。第1の変

10

20

30

40

50

形例としては、まず、前記ドリフト層5の濃度に相当する N^- Si半導体基板を用意し、そのSi半導体基板の鏡面にB（ボロン）或いはP（リン）或いはSb（アンチモン）或いはAs（砒素）の不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ ～真性半導体の極めて低濃度である多結晶Siを例えば5 μm 堆積することによって、上記Si半導体基板1'の代わりにする。なお、その多結晶Siの代わりに同様の不純物濃度の非晶質Siを例えば5 μm 堆積するようにしてもよい。

【0036】第2の変形例としては、前記ドリフト層5の濃度に相当する N^- Si半導体基板を用意し、さらにB（ボロン）或いはP（リン）或いはSb（アンチモン）或いはAs（砒素）の不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ ～真性半導体の極めて低濃度である他のSi半導体基板を用意し、それぞれの半導体基板の鏡面同士を直接接合する。熱処理により一体化した後、前記他のSi半導体基板の主面と反対側から研削、研磨し、例えば5 μm の厚さにすることによって、上記Si半導体基板1'の代わりにする。

【0037】第3の変形例としては、前記ドリフト層5の濃度に相当する N^- Si半導体基板を用意し、そのSi半導体基板の鏡面にB（ボロン）或いはP（リン）或いはSb（アンチモン）或いはAs（砒素）の不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ ～真性半導体の極めて低濃度であるエピタキシャルSi単結晶を例えば5 μm 堆積することによって、上記Si半導体基板1'の代わりにする。

【0038】第4の変形例としては、前記ドリフト層5の濃度に相当する N^- Si半導体基板を用意し、そのSi半導体基板の鏡面にB（ボロン）等の導伝型が反対の不純物を例えばイオン注入法あるいは気相拡散法等により添加して、表面層のキャリアを補償（コンペンセイト）し、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下として、上記Si半導体基板1'の代わりにする。

【0039】なお、上記した種々の製造方法において、PとNとを入れ換えてPチャンネル高耐圧LDMOSTランジスタを構成するようにしてもよい。その場合、上記変形例における、ドリフト層5の濃度に相当する N^- Si半導体基板を、 P^- Si半導体基板とする。

（第2実施例）図3に、Nチャンネル高耐圧LDMOSTランジスタAと、同じくPチャンネル高耐圧LDMOSTランジスタBを同一チップ内に形成した構造を示す。

【0040】この構造において、NチャンネルトランジスタAのソース10とSi基板1とはアースで同電位であるが、PチャンネルトランジスタBのソース101には電源電圧が印加されており、Si基板1とは異なる電位である。このような場合には、電界緩和層6は、PチャンネルトランジスタBの高耐圧化に、より有効に機能する。

【0041】逆に、PチャンネルトランジスタBのソー

ス101とSi基板1がアースで同電位で、NチャンネルトランジスタAのソース10にマイナスの電源電圧が印加されている場合にも適用できる。この場合には、電界緩和層6は、Nチャンネルトランジスタの高耐圧化に、より有効に機能する。

（第3実施例）図4に、2つのNチャンネル高耐圧LDMOSTランジスタC、Dを同一チップ内の異なる素子領域に形成した構造を示す。

【0042】この構造において、NチャンネルトランジスタDのソース10とSi基板1とはアースで同電位であるが、NチャンネルトランジスタCのソース10にはマイナス電源電圧が印加されており、Si基板1とは異なる電位である。このような場合には、電界緩和層6は、NチャンネルトランジスタCの高耐圧化に、より有効に機能する。

【0043】同様に、2つのPチャンネル高耐圧LDMOSTランジスタを同一チップ内の異なる素子領域に形成した場合にも同様に適用できる。この場合には、ソースがプラスの電源電圧に接続された方の高耐圧LDMOSTランジスタに対して、電界緩和層6は、その高耐圧化に、より有効に機能する。

（第4実施例）図5に、Nチャンネル高耐圧LDMOSTランジスタEと、Pチャンネル高耐圧LDMOSTランジスタF、さらにNチャンネル高耐圧LDMOSTランジスタGとPチャンネル高耐圧LDMOSTランジスタHを同一チップ内に形成したときの構造を示す。

【0044】この構造において、NチャンネルトランジスタGのソース10とPチャンネルトランジスタFのソース101とSi基板1とはアースで同電位であるが、NチャンネルトランジスタEのソース10にはマイナス電源電圧が印加され、PチャンネルトランジスタHのソース101にはプラス電源電圧が印加されており、それぞれSi基板1とは異なる電位である。このような場合には、電界緩和層6は、NチャンネルトランジスタEとPチャンネルトランジスタHの両方の高耐圧化に、より有効に機能する。

【0045】（第5実施例）図6に、SOIに形成された高耐圧PNダイオードの構造を示す。図1に示す実施例と同様、島状のSi層4が形成され、この島状Si層4のうちSi酸化膜2に接する領域には、第1実施例と同様、電界緩和層6が形成されている。ここで、島状Si層4の上部の N^- 層5は高耐圧ダイオードのN層であり、 P^- 層14は島状Si層4の表面から電界緩和層6に向けて形成されたダイオードのP層である。この P^- 層14は図に示すように電界緩和層6に必ずしも到達しなくても良い。なぜなら、逆電圧の印加時に P^- 層14から N^- 層5に向けて空乏層が拡がり、その空乏層が電界緩和層6内に到達するとともにその中で拡がり、電界緩和の機能を発揮するからである。なお、当然のことながら、 P^- 層14は電界緩和層6に到達していても良

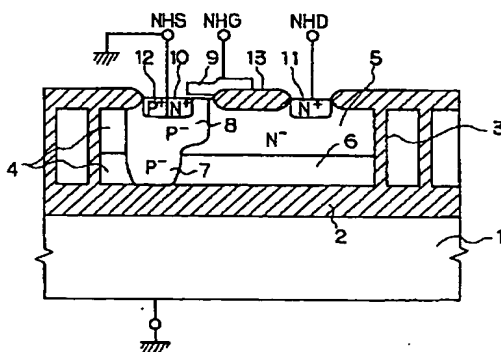
い。

【0046】なお、上述した種々の実施例において、電界緩和層6は、多結晶シリコンもしくは非晶質シリコンにより構成することができる。また、この種の表面電界緩和型LDMOSとして、特公昭59-24550号公報に示すものがある。このものは、表面電界緩和のためにN型ドリフト層の下にP型層を設け、N型ドリフト層を完全空乏化して表面の電界緩和を行うようにしたものである。そして、N型ドリフト層とその下のP型層の間のPN接合により耐圧を支えているためN型ドリフト層を完全空乏化する必要がある、従ってN型ドリフト層における不純物濃度の深さ方向に対する積分値は、 $1.5 \times 10^{12} \text{ cm}^{-2}$ より小さくしなければならないという制限を有している。この制限のため、大電流を流すことができないという問題がある。

【0047】これに対して、上述した実施例においては、N型ドリフト層5の下の電界緩和層6は極めて不純物濃度が低い半導体層となっているため、Pウェル7と電界緩和層6との間の電圧で耐圧を支えることになる。従って、N型ドリフト層5の不純物濃度の深さ方向に対する積分値を $1.5 \times 10^{12} \text{ cm}^{-2}$ 以上にしても十分な耐圧を得ることができる。このように不純物濃度を高くし低抵抗化を図ることができるため、上記先行技術のものよりも大電流を流すことができる。

【0048】なお、N型ドリフト層5の不純物濃度の深さ方向に対する積分値は、数1により表される。

【図1】



- 1 Si基板
- 2, 3 Si酸化膜
- 4 Si層
- 5 ドリフト層
- 6 電界緩和層
- 7, 8 Pウェル
- 9 ゲート
- 10 ソース
- 11 ドレイン

【0049】

【数1】

$$\int_0^{x_j} N \cdot dx$$

【0050】ここで、Nは不純物濃度、 x_j は、N型ドリフト層5の表面から電界緩和層6との境界までの距離、すなわちN型ドリフト層5の深さである。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す構成図である。

【図2】図1に示す半導体装置を製造する方法を示す工程図である。

【図3】本発明の第2実施例を示す構成図である。

【図4】本発明の第3実施例を示す構成図である。

【図5】本発明の第4実施例を示す構成図である。

【図6】本発明の第5実施例を示す構成図である。

【図7】従来の構成を示す構成図である。

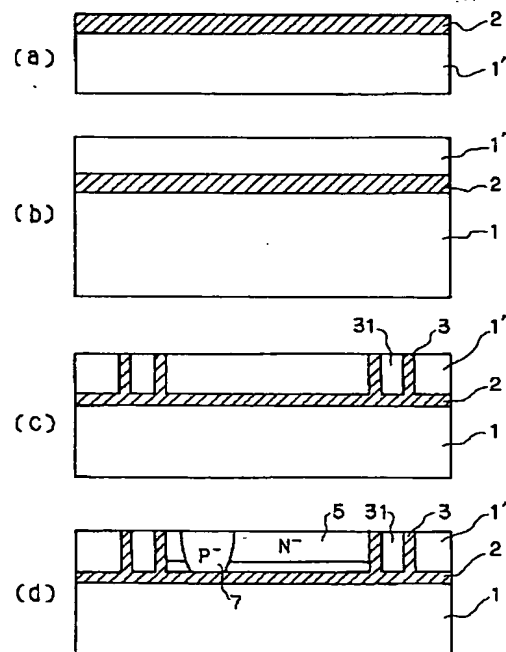
【図8】電界緩和層をいれないSOI構造のMOSトランジスタの問題点を説明するための説明図である。

【図9】図8に示す構成に、単に電界緩和層をいれた場合の問題点を説明するための説明図である。

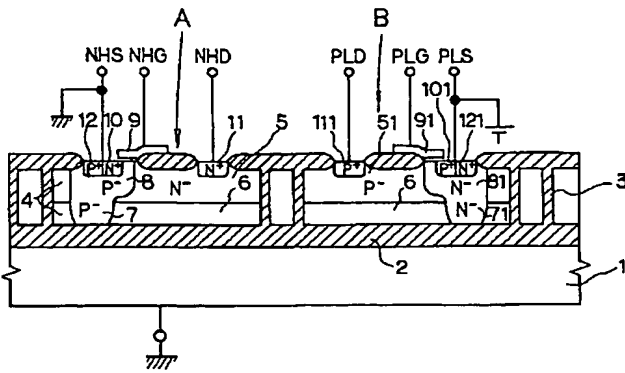
【符号の説明】

1…Si基板、2、3…絶縁体としてのSi酸化膜、4…Si層、5…ドリフト層、6…電界緩和層、7、8…Pウェル、9…ゲート、10…ソース、11…ドレイン。

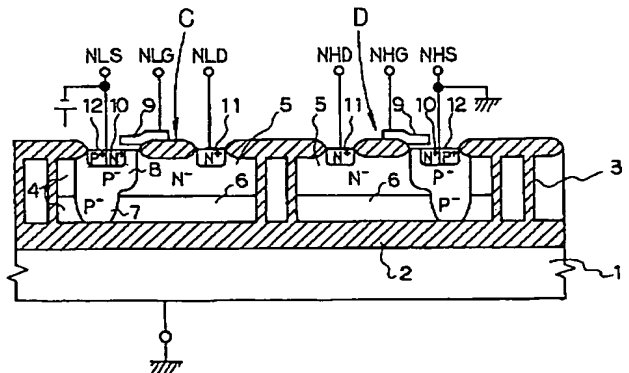
【図2】



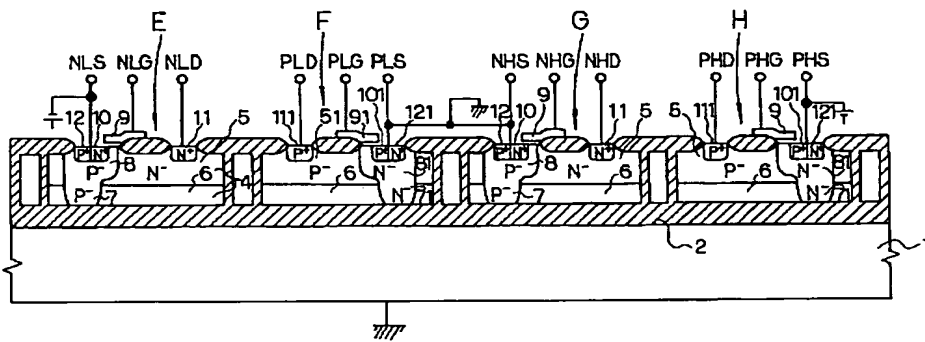
【図 3】



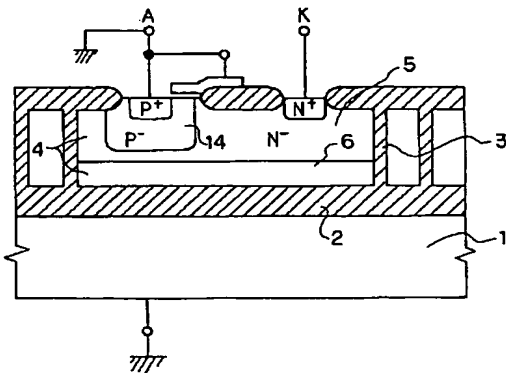
【図 4】



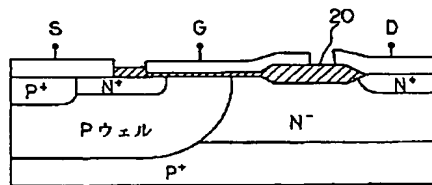
【図 5】



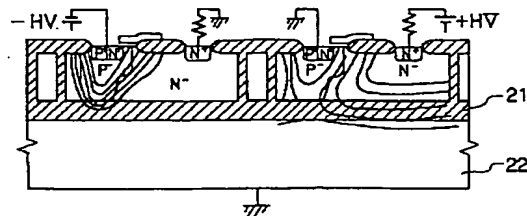
【図 6】



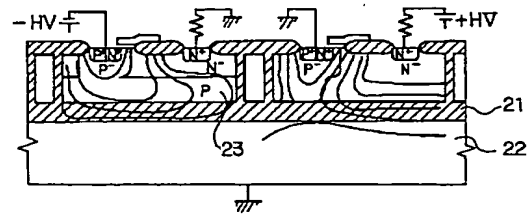
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 29/78
29/786

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

3 0 1 S

9056-4M

6 1 6 S

9055-4M

6 5 2 R